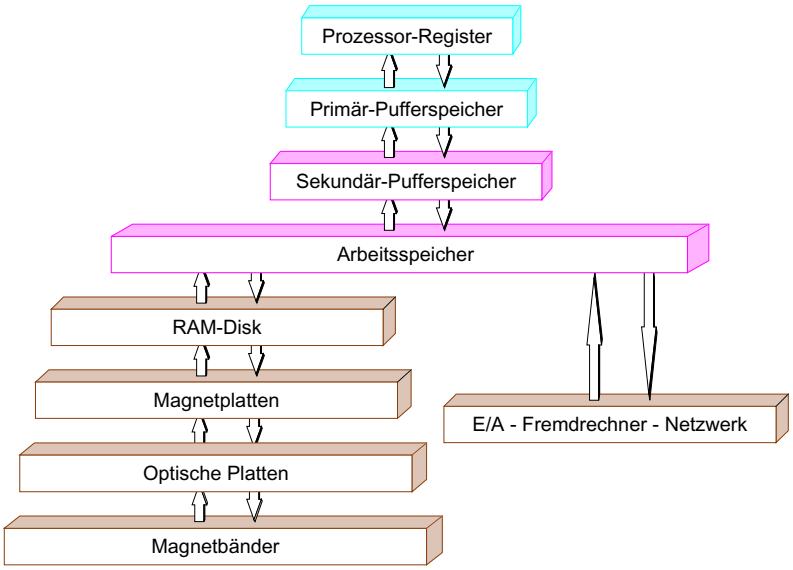
Teil 1 Pufferspeicher (Cache)

1 Vorstellungen und Motivation

Speicherhierarchie



Universität Erlangen-Nürnberg, Lehrstuhl für Informatik 4 (Verteilte Systeme und Betriebssysteme), F. Hofmann
Reproduktion jeder Art oder Verwendung dieser Unterlage zu Lehrzwecken außerhalb der Universität Erlangen-Nürnber
ist ohne Genehmigung des Autors unzulässig

Wann sollen die Daten in welche Stufe gebracht werden?

Entscheidung anhand von Lokalitätseigenschaften

Beispiel

```
int M = 10000;
int main()
{ int i, j, k; int a[M][M], b[M][M], c[M][M];
  for (i = 0; i < M; i++)
    for (j = 0; j < M; j++) {
      a[i][j] = i; b[i][j] = j; c[i][j] = 0;
    }
  for (i = 0; i < M; i++)
    for (j = 0; j < M; j++)
      for (k = 0; k < M; k++)
        c[i][j] = c[i][j] + a[i][k] * b[k][j];
}
```

`c[i][j]` **weist zeitliche Lokalität auf, also vorübergehend im Pufferspeicher halten**

`a[i][j]` **weist örtliche Lokalität auf, also Datenblock im Blockmodus (burst mode) holen**

`b[i][j]` **weist keines von beidem auf**

Universität Erlangen-Nürnberg, Lehrstuhl für Informatik 4 (Verteilte Systeme und Betriebssysteme), F. Hofmann
Reproduktion jeder Art oder Verwendung dieser Unterlage zu Lehrzwecken außerhalb der Universität Erlangen-Nürnber
ist ohne Genehmigung des Autors unzulässig

Zeitliche Lokalität

Wenn ein Speicherort angesprochen wird, dann wird er innerhalb eines kleinen Zeitintervalls mehrfach angesprochen

Örtliche Lokalität

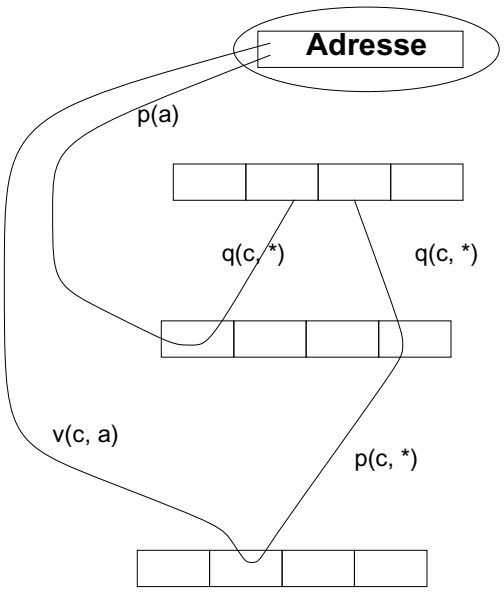
Wenn ein Speicherort angesprochen wird, dann werden innerhalb eines kleinen Zeitintervalls überwiegend Speicherorte mit geringem Adreßabstand angesprochen

Besondere Schwierigkeiten

- **Wahl der Strategien**
  - **Wann? ---> Holstrategie**
  - **Wohin? ---> Plazierungsstrategie**
  - **Wie lang? ---> Ausräum-(Ersetzungs-)Strategie**
- **Kohärenz bei gemeinsamer Nutzung**
- **Erholung bei Ausfall einer oder mehrerer Speicherebenen**

Universität Erlangen-Nürnberg, Lehrstuhl für Informatik 4 (Verteilte Systeme und Betriebssysteme), F. Hofmann
Reproduktion jeder Art oder Verwendung dieser Unterlage zu Lehrzwecken außerhalb der Universität Erlangen-Nürnber
ist ohne Genehmigung des Autors unzulässig

Grobstruktur



Prozessor

Speicherebene i - 1

Speicherebene i

Speicherebene i + 1

Universität Erlangen-Nürnberg, Lehrstuhl für Informatik 4 (Verteilte Systeme und Betriebssysteme), F. Hofmann
Reproduktion jeder Art oder Verwendung dieser Unterlage zu Lehrzwecken außerhalb der Universität Erlangen-Nürnber
ist ohne Genehmigung des Autors unzulässig