Sun Ultra Enterprise Architektur

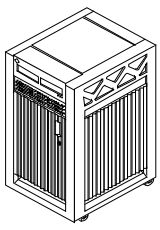
Michael Schröder

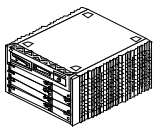
IMMD IV, Lehrstuhl für Betriebssysteme
Universität Erlangen-Nürnberg

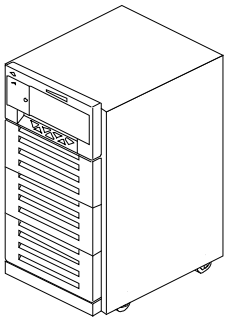
© Michael Schröder – enter.doc: 24/3/98

1 Einsatz am IMMD

- faui40: Enterprise 4000
  4 CPUs, 640 MByte
- cssun: Enterprise 4000
  8 CPUs, 2 GByte
- faui09: Enterprise 3000
  2 CPUs, 128 MByte
- faui01: Enterprise 3000
  1 CPU, 252 MByte

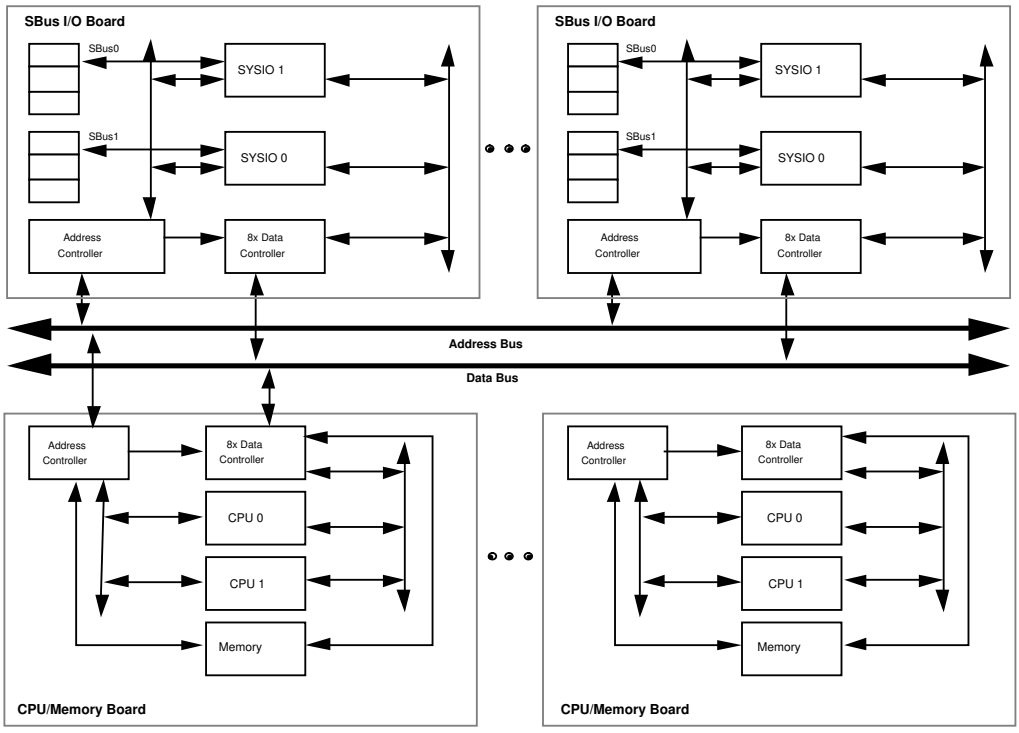






© Michael Schröder – enter.doc: 24/3/98

2 Systemaufbau



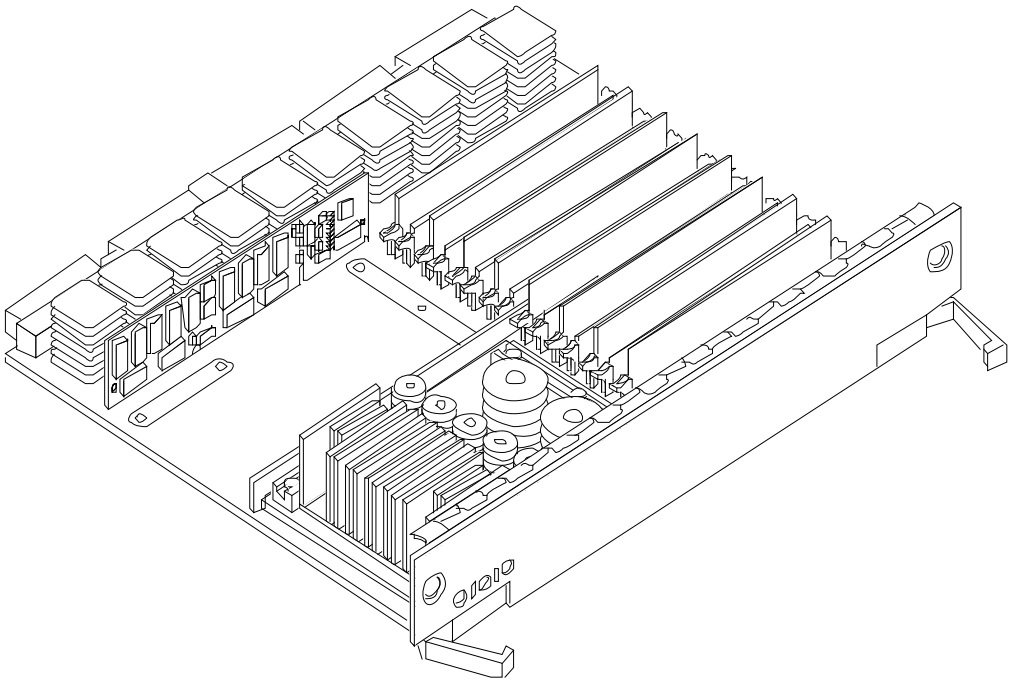
© Michael Schröder – enter.doc: 24/3/98

3 Gigaplane Bus

- Sehr schneller (mit 83.3 MHz getakteter) und breiter (256 Bits) Bus auf der *Centerplane*.
- Kann eine vollständige Cacheline (64 Bytes) in 2 Cyclen transferieren, das ist eine Datentransferrate von 2.672 MB/s.
- Kein Multiplexen von Adressen und Daten, kein Arbitrierungsoverhead, daher extrem niedrige Latenzzeit.
- “Packet-switched” Architektur ermöglicht hohen Durchsatz.
- Die elektrischen Eigenschaften limitieren den Bus auf 16 Anschlüsse. Deshalb wird innerhalb der einzelnen Boards über den standard UPA (*Ultra Port Architecture*) Bus weiterverzweigt.

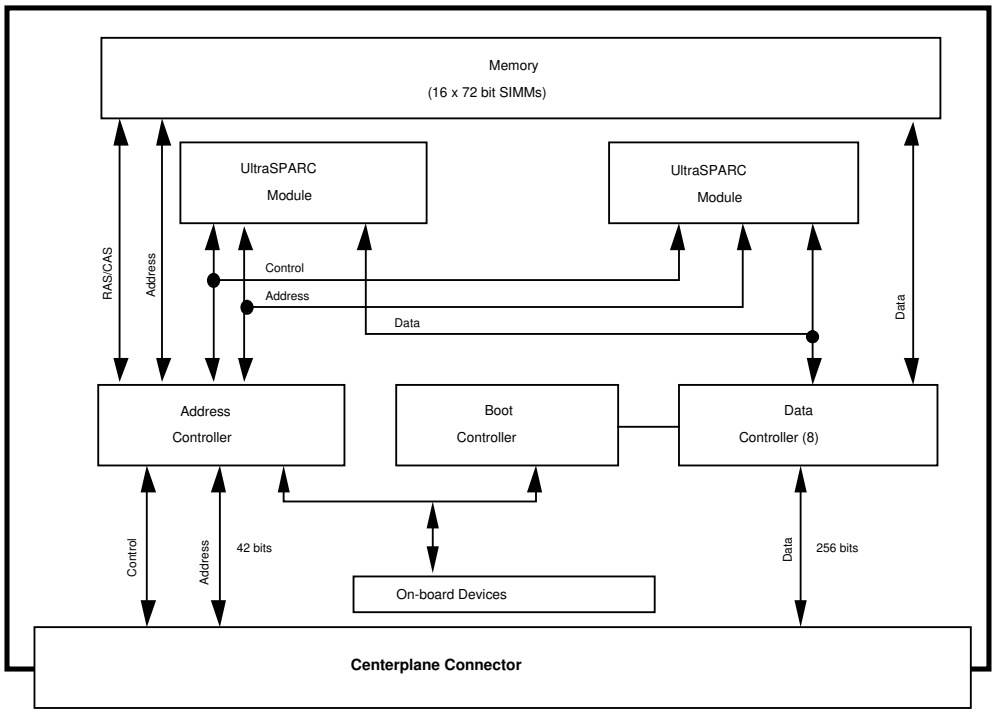
© Michael Schröder – enter.doc: 24/3/98

4 CPU/Memory Modul



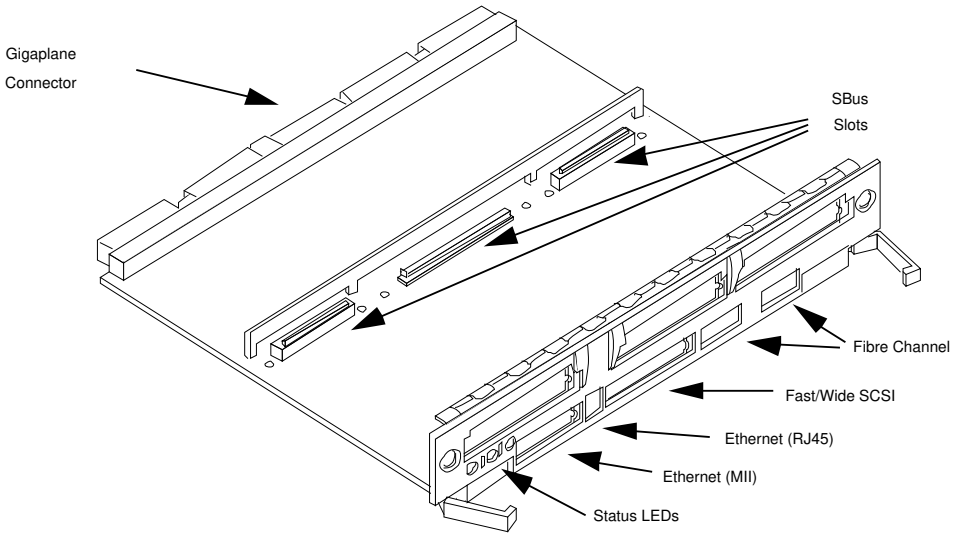
© Michael Schröder – enter.doc: 24/3/98

5 cont.



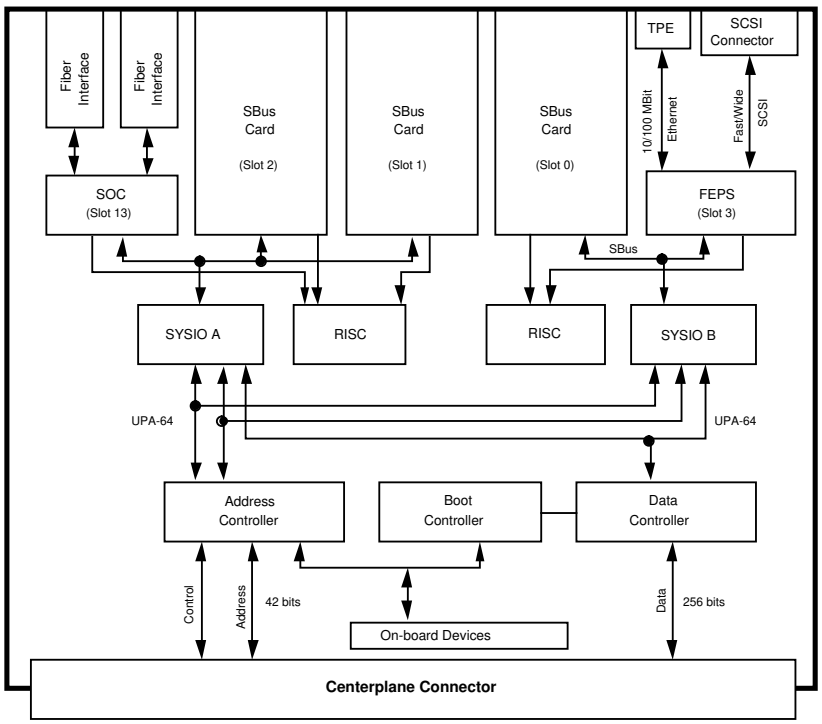
© Michael Schröder – enter.doc: 24/3/98

6 IO Board



© Michael Schröder – enter.doc: 24/3/98

7 cont.



© Michael Schröder – enter.doc: 24/3/98